

**ГОУ ВПО РОССИЙСКО-АРМЯНСКИЙ (СЛАВЯНСКИЙ)
УНИВЕРСИТЕТ**

Составлен в соответствии с
государственными требованиями к
минимуму содержания и уровню
подготовки выпускников по
направлению **11.03.03 Конструирование и
технология электронных средств** и
Положением «Об УМКД РАУ».

УТВЕРЖДАЮ:

Директор ИФИ Саркисян А.А.



21.07.2023г.

Институт: Инженерно-физический

Кафедра: Микроэлектронные схемы и системы

Автор: К.т.н., доцент Туманян Анна Кароевна

УЧЕБНО-МЕТОДИЧЕСКИЙ КОМПЛЕКС

Дисциплина: Б1.Б.14 «Логическое проектирование электронных средств»

**Направление: 11.03.03 «Конструирование и технология электронных
средств»**

ЕРЕВАН

Структура и содержание УМКД

1. Аннотация

1.1. Выписка из ФГОС ВО РФ по минимальным требованиям к дисциплине

В результате изучения данной дисциплины студент должен:

- **знать:** основы логического проектирования, проектирование цифровых интегральных схем;
- **уметь:** проектировать электронные средства на логическом уровне;
- **владеть:** навыками анализа, моделирования и проектирования логических схем.

1.2. Взаимосвязь дисциплины с другими дисциплинами учебного плана специальности (направления)

Курс «Логическое проектирование электронных средств» тесно взаимосвязан с такими дисциплинами специальности «Конструирование и технология электронных средств», как «Схемо- и системотехника электронных средств», «Языки проектирования аппаратных средств», «Проектирование цифровых интегральных схем», «Электротехника и электроника».

Основные положения дисциплины должны быть использованы в дальнейшем при изучении следующих дисциплин: синтез и оптимизация электронных средств; тестирование интегральных схем.

1.3. Требования к исходным уровням знаний, умений и навыков студентов для прохождения дисциплины (что должен знать, уметь и владеть студент для прохождения данной дисциплины)

Для прохождения данной дисциплины студент должен

- **знать:** основы булевой алгебры, способы представления информации в цифровых устройствах, выполнение основных арифметических операций в двоичной системе над целыми числами и числами с плавающей запятой, принцип функционирования компьютера, языки для описания аппаратуры (Verilog);
- **уметь:** анализировать и моделировать простейшие электрические и электронные схемы;
- **владеть:** навыками информационных технологий, электротехники и электроники.

1.4. Предварительное условие для прохождения (дисциплина(ы), изучение которых является необходимой базой для освоения данной дисциплины)

Для освоения данной дисциплины у студентов должна быть устойчивая база знаний по дисциплинам: математический анализ; линейная алгебра и аналитическая геометрия;

информационные технологии; физические основы микроэлектроники; электротехника и электроника; языки проектирования аппаратных средств.

2. Содержание

2.1. Цели и задачи дисциплины

Изучение теории булевых функций, теории автоматов и методов логического проектирования цифровых схем, формирование необходимых теоретических знаний и практических навыков моделирования и проектирования электронных средств на логическом уровне.

2.2. Требования к уровню освоения содержания дисциплины (какие компетенции, знания, умения и навыки) должны быть сформированы у студента после прохождения данной дисциплины)

В результате освоения данной дисциплины у студента должны быть сформированы следующие компетенции:

(ПК):

- готовностью формировать презентации, научно-технические отчеты по результатам выполненной работы, оформлять результаты исследований в виде статей и докладов на научно-технических конференциях (ПК-3)
- готовностью осуществлять сбор и анализ исходных данных для расчета и проектирования деталей, узлов и модулей электронных средств (ПК-5)
- готовностью осуществлять контроль соответствия разрабатываемых проектов и технической документации стандартам, техническим условиям и другим нормативным (ПК-8)

общепрофессиональные компетенции (ОПК):

- готовностью применять современные средства выполнения и редактирования изображений чертежей и подготовки конструкторско-технологической документации (ОПК-4)
- способностью осуществлять поиск, хранение, обработку и анализ информации из различных источников и баз данных, представлять ее в требуемом формате с использованием информационных, компьютерных и сетевых технологий (ОПК-6)
- способностью учитывать современные тенденции развития электроники, измерительной и вычислительной техники, информационных технологий в своей профессиональной деятельности (ОПК-7)

2.3. Трудоемкость дисциплины и виды учебной работы (в академических часах и кредитах)

2.3.1. Объем дисциплины и виды учебной работы

Виды учебной работы	Всего, в акад. часах
1. Общая трудоемкость изучения дисциплины по семестрам, в т. ч.:	144/4 кред
1.1. Аудиторные занятия, в т. ч.:	
1.1.1. Лекции	34
1.1.2. Лабораторные занятия	18
1.2. Самостоятельная работа, в т.ч.:	47
Итоговый контроль <u>Экзамен</u>	45

2.3.2. Распределение объема дисциплины по темам и видам учебной работы

Разделы и темы дисциплины	Всего (ак. часов)	Лекци и(ак. часов)	Лабор. (ак. часов)
1	2	3	4
Раздел 1. Проектирование арифметических устройств и цифровых систем	30	20	10
Тема 1.1. Сумматоры. Одноразрядные полусумматоры и полные сумматоры. Сложение и вычитание в дополнительном коде. Многоразрядные последовательные и параллельные сумматоры.	4	2	2
Тема 1.2. Многооперандные сумматоры. Сумматоры с сохранением переноса.	3	2	1
Тема 1.3. Схемы умножения последовательного типа. Умножение на 1 бит путем сдвига множителя и суммы частичных произведений вправо.	3	2	1
Тема 1.4. Синтез цифровой системы на примере арифметических устройств. Представление системы в виде взаимодействия операционного и управляющего блоков. Понятие микроопераций.	2	2	
Тема 1.5. Переход от блок-схемы алгоритма к автомату (FSM). Пример синтеза арифметического устройства. Разработка описания устройства на Verilog. Симуляция и синтез устройства с применением VCS симулятора и DesignCompiler.	6	4	2
Тема 1.6. Комбинационные умножители матричного и древовидного типа.	2	2	

Тема 1.7. Умножение по алгоритму Бута (Radix2, Radix4). Умножение на 3 и 4 разряда. Описание устройств на Verilog.	4	2	2
Тема 1.8. Деление целых чисел	3	2	1
Тема 1.9. Стандарт IEEE 754-2008 представления чисел с плавающей запятой. Выполнение арифметических операций с плавающей запятой. Представление десятичных чисел.	3	2	1
Раздел 2. Полупроводниковая память	22	14	8
Тема 2.1. Иерархия запоминающих устройств. Базовая ячейка SRAM. Структурные схемы микросхем статической памяти (SRAM). Примеры микросхем.	3	2	1
Тема 2.2. SSRAM – синхронная статическая память. Структура микросхемы. Примеры описания на Verilog.	4	2	2
Тема 2.3. Базовая ячейка DRAM. Структура микросхемы асинхронного динамического ЗУ. Функция контроллера. Временные диаграммы динамической памяти. Сравнение SRAM и DRAM.	6	4	2
Тема 2.4. Двухпортовая и многопортовая SRAM. FIFO память. Назначение и структура регистрового файла. Ассоциативная память. Запоминающие элементы ассоциативной памяти.	6	4	2
Тема 2.5. Постоянная память (ROM). PROM, EPROM, EEPROM. Флэш-память.	3	2	1
Итого	52	34	18

2.3.3. Содержание разделов и тем дисциплины

Основные разделы:

Раздел 1. Проектирование арифметических устройств и цифровых систем

Раздел 2. Полупроводниковая память

Модуль 1.

Раздел 1. Проектирование арифметических устройств и цифровых систем

Тема 1.1. Сумматоры. Одноразрядные полусумматоры и полные сумматоры. Сложение и вычитание в дополнительном коде. Многоразрядные последовательные и параллельные сумматоры. Схемы ускоренного переноса.

Тема 1.2. Многооперандные сумматоры. Сумматоры с сохранением переноса.

Тема 1.3. Схемы умножения последовательного типа. Устройства умножения последовательного типа. Умножение со сдвигом множителя и суммы частичных произведений вправо. Умножение на 1 бит (множимое сдвигается на 1 разряд влево, а множитель вправо). Умножение со сдвигом множимого влево, а множителя вправо. Схемы устройств умножения и описание алгоритмов на языке Verilog.

Тема 1.4. Синтез цифровой системы на примере арифметических устройств. Представление системы в виде взаимодействия операционного и управляющего блоков. Понятие микроопераций.

Тема 1.5. Переход от блок-схемы алгоритма к автомату (FSM). Пример синтеза арифметического устройства. Разработка описания устройства на Verilog. Симуляция и синтез устройства с применением VCS симулятора и DesignCompiler.

Тема 1.6. Комбинационные умножители матричного и древовидного типа.

Тема 1.7. Умножение по алгоритму Бута. (Radix2, Radix4, Radix 8, Radix 16). Умножение на 3 и 4 разряда. Описание устройств на Verilog.

Тема 1.8. Деление целых чисел. Структура устройства и описание на Verilog.

Тема 1.9. Стандарт IEEE 754-2008 представления чисел с плавающей запятой. Диапазон чисел. Специальные числовые значения. Выполнение операций над числами с плавающей запятой. Представление десятичных чисел.

Раздел 2. Полупроводниковая память

Тема 2.1. Иерархия запоминающих устройств. Статическая и динамическая память. Базовая ячейка SRAM. Структурные схемы микросхем статической памяти (SRAM). Примеры микросхем. Временные диаграммы асинхронного статического ОЗУ. Описание SRAM на Verilog.

Тема 2.2. SSRAM – синхронная статическая память. Структура микросхемы. Примеры описания на Verilog.

Тема 2.3. Базовая ячейка DRAM. Структура микросхемы асинхронного динамического ЗУ. Функция контроллера. Временные диаграммы динамической памяти. Сравнение SRAM и DRAM. Синхронная динамическая память – DDRSDRAM

Тема 2.4. Двухпортовая и многопортовая SRAM. FIFO память. Назначение и структура регистрового файла. Ассоциативная память. Запоминающие элементы ассоциативной памяти.

Примеры описания на Verilog.

Тема 2.5. Постоянная память (ROM).

PROM, EPROM, EEPROM. Флэш-память. NOR и NAND ячейки.

2.4. Материально-техническое обеспечение дисциплины

Лабораторные занятия проводятся в учебном департаменте Синописис Армения.

Аудитория обеспечена компьютерами, в которых установлено необходимое программное обеспечение фирмы Синописис для симуляции и синтеза цифровых устройств – VCS-симулятор и DesignCompiler.

2.5. Распределение весов по модулям и формам контроля

	Вес формы текущего контроля в результирующей оценке текущего контроля			Вес формы промежуточного контроля и результирующей оценки текущего контроля в итоговой оценке промежуточного контроля			Вес итоговых оценок промежуточных контролей в результирующей оценке промежуточного контроля	Вес оценки результирующей оценки промежуточных контролей и оценки итогового контроля в результирующей оценке итогового контроля
	M1	M2	M3	M1	M2	M3		
Вид учебной работы/контроля								
Контрольная работа			1			1		
Лабораторные работы								
Устный опрос								
Вес результирующей оценки текущего контроля в итоговых оценках промежуточных контролей								
Вес итоговой оценки 1-го промежуточного контроля в результирующей оценке промежуточных контролей								
Вес итоговой оценки 2-го промежуточного контроля в результирующей оценке промежуточных контролей								
Вес итоговой оценки 3-го промежуточного контроля в результирующей оценке промежуточных контролей т.д.							1	
Вес результирующей оценки промежуточных контролей в результирующей оценке итогового контроля								0.5
Экзамен(оценка итогового контроля)								0.5
			$\Sigma = 1$			$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$

3. Теоретический блок

3.1 Материалы по теоретической части курса

3.1.1. Учебники

1. F. Vahid. Digital Design with RTL Design, Verilog and VHDL. Wiley; 2 edition, 2010
2. S. Sarkar, A. Kumar. Foundation of Digital Electronics and Logic Design. Pan Stanford Publishing Pte Ltd, 2012
3. S. Brown, Z. Vranesic. Digital Logic with Verilog Design. McGraw-Hill Higher Education, 2 edition, 2009
4. J. Walkerly. Digital Design Principles and Practices. Prentice Hall, 4 edition, 2006
5. K. Brayton, G. Hachtel, C. McMullen, A. Sangiovanni-Vincentelli. Logic Minimization Algorithms for VLSI Synthesis, Kluwer Academic Publishers, 2010.
6. Дэвид М. Хэррис и Сара Л. Хэррис. Цифровая схемотехника и архитектура компьютера. Морган Кауфман. English Edition, 2013.
7. А.К.Туманян. Основы цифрового проектирования с использованием языка Verilog, Ереван, Чартарагет, 2012.

4. Практический блок

4.1. Планы лабораторных работ

Анализ и синтез комбинационных схем

Лаб.1. Описание на Verilog двоичного счетчика с заданным модулем счета. Симуляция и синтез. Составление файла проектных ограничений.

Лаб.2. Описание на Verilog реверсивного двоичного счетчика с заданным модулем счета. Составление файла проектных ограничений. Симуляция и синтез.

Лаб.3. Описание на Verilog универсального сдвигающего регистра. Составление файла проектных ограничений. Симуляция и синтез.

Лаб.4. Описание на Verilog счетчика Джонсона. Составление файла проектных ограничений. Симуляция и синтез.

Лаб.5. Описание на Verilog LFSR Галуа и Фибоначчи. Составление файла проектных ограничений. Симуляция и синтез.

Лаб.6. Описание на Verilog сумматоров. Составление файла проектных ограничений. Симуляция и синтез.

Лаб.7. Симуляция и синтез арифметических устройств.

5. Материалы по оценке и контролю знаний

5.1. Тематика самостоятельных работ

1. Разработка схемы определения адреса вектора прерывания. Описание на Verilog. Симуляция и синтез.
2. Разработка устройства преобразования двоичного кода в двоично-десятичный. Описание на Verilog. Симуляция и синтез.
3. Разработка LFSR с заданным полиномом в цепи обратной связи.
4. Разработка устройства определения наибольшего общего делителя двух целых чисел (алгоритм Евклида).
5. Разработка блока умножения чисел с плавающей запятой.

5.2. Перечень экзаменационных вопросов

1. Двоичные счетчики. Модуль счета.
2. Асинхронные двоичные счетчики.
3. Синтез синхронных двоичных счетчиков.
4. Описание двоичных счетчиков на Verilog.
5. Сдвигающие регистры. Описание на Verilog.
6. Универсальный сдвигающий регистр. Описание на Verilog.
7. LFSR Галуа.
8. LFSR Фибоначчи.
9. Описание на Verilog счетчика Джонсона.
10. Описание на Verilog LFSR (Галуа и Фибоначчи).
11. Временные диаграммы синхронных схем.
12. Проблемы, возникающие при синхронном проектировании.
13. Определение длительности тактового сигнала с учетом разброса задержек тактового сигнала (Clock skew), T_{comb} , T_{setup} , T_{hold} .
14. Асинхронные входы и метастабильность.
15. Синхронизаторы.
16. Последовательность автоматизированного синтеза (Designflow).
17. Принципы построения RTL-описания. Поддерживаемые синтезом конструкции языка.
18. Методы оптимизации Design Compiler (DC): high level optimization, logic level optimization, gate level optimization.
19. Этапы синтеза проекта.
20. Проектирование синхронных схем. Установки для цепей синхронизации.

21. Проектирование временных ограничений.
22. Временные ограничения для входных путей.
23. Временные ограничения для выходных путей.
24. Временные ограничения для комбинационных схем.
25. Представление целых чисел (signed, unsigned). Диапазон целых чисел.
26. Сложение чисел в дополнительном коде. Переполнение.
27. Одноразрядные сумматоры.
28. Последовательный сумматор.
29. Параллельный сумматор с последовательным переносом (CarryRippleAdder).
30. Сумматор/вычитатель.
31. Сумматор с параллельным переносом. (CarryLook-aheadadder).
32. Выполнение операции извлечения квадратного корня (SquareRoot).
33. Описание на Verilog операции извлечения корня квадратного.

Образец экзаменационного билета

1. Построить схему приоритетного шифратора 16-4. Описать на Verilog.
2. Построить CSA для сложения трех 5- разрядных чисел
3. Описать на Verilog автомат с входным алфавитом $X=\{A,B,C\}$, выходным алфавитом $Y=\{0,1,2\}$. Автомат распознает входные слова АВВСА (на выходе появляется $Y=1$) и ВВА ($Y=2$). Во всех остальных ситуациях на выходе появляется $Y=0$.
4. Описать на Verilog вычитающий счетчик со входом асинхронной загрузки Load и асинхронного сброса. Активные уровни сигналов сброса и загрузки – низкие.
5. Построить схему модуля статической памяти объемом 64КВ на основе микросхем объемом 16Кx4.